

**SYLLABUS**  
pentru disciplina:

*“Arhitectura calculatoarelor”*

**FACULTATEA: AUTOMATICA SI CALCULATOARE**  
**DOMENIUL / SPECIALIZAREA: CALCULATOARE SI TEHNOLOGIA INFORMATIEI /**  
**CALCULATOARE**

**Anul de studii: II**

**Semestrul I**

**Titularul cursului: Prof.dr.ing. Mircea VLADUTIU**  
**Colaboratori: S.I. Mihai UDRESCU, s.l. Lucian PRODAN, As. Versavia ANCUSA, Prep. Alexandru AMARICAI, Prep. Oana Boncalo**

Numar de ore/saptamana/Verificarea/Credite					
Curs	Seminar	Laborator	Proiect	Examinare	Credite
<b>2</b>	-	<b>2</b>	-	<b>E</b>	<b>5</b>

**A. OBIECTIVELE CURSULUI**

*Cursul se concentreaza asupra prezentarii unitatilor de structură componente ale arhitecturii sistemelor de calcul. Se porneste de la descrierea tipurilor de date folosite in arhitecturile de calcul, dupa care se accentueaza modalitatile aritmetice de tratare a datelor. De asemenea, se urmărește reliefaarea decalajelor de performanță dintre părțile funcționale ale calculatorului în vederea căutării optimului de utilizare a acestuia.*

**B. SUBIECTELE CURSULUI**

**Capitolul 1. Reprezentarea binara a datelor (2 ore)**

- 1.1 Clasificarea informației
- 1.2 Formate pentru numere

**Capitolul 2. Sinteza dispozitivelor de adunare/scadere binara (8 ore)**

- 2.1. Sumatorul serial. Sumatorul paralel.
- 2.2. Sumatorul paralel Ripple Carry Adder.
- 2.3. Sumatorul paralel Carry Skip Adder.
- 2.4. Sumatorul paralel Carry Lookahead Adder.
- 2.5 Sumatorul paralel Carry Save Adder. Wallace Tree.
- 2.6. Sumatorul paralel Carry-Sum Dependent Adder.
- 2.7. Sumatorul paralel Carry Completion Adder.
- 2.8. Sumatorul BCD. Sumatorul Excess-3.
- 2.9. Sumatorul Manchester.
- 2.10. Sumatorul paralel Carry Select Adder.

**Capitolul 3. Sinteza dispozitivelor de inmultire binara (10 ore)**

- 3.1. Caracteristici ale implementării în calculator a operației de înmulțire binară
- 3.2. Sinteza unui dispozitiv secvențial de înmulțire a numerelor binare reprezentate în semn-mărime
- 3.3. Sinteza unui dispozitiv secvențial de înmulțire a numerelor binare reprezentate în complement de 2 prin metoda J. Robertson
- 3.4. Sinteza unui dispozitiv secvențial de înmulțire a numerelor binare reprezentate în complement de 2 după procedurile A. Booth
- 3.5. Structuri matriciale combinaționale pentru înmulțirea binară
- 3.6. Accelerarea operației de înmulțire binară uzitând de adunarea cu salvarea transportului cu unul și cu mai multe sumatoare
- 3.7. Accelerarea operației de înmulțire binară uzitând de baze de numerație superioare

**Capitolul 4. Sinteza dispozitivelor de impartire binara (8 ore)**

- 4.1. Caracteristici ale implementării în calculator a operației de împărțire binară. Proceduri fundamentale pentru împărțirea binară
- 4.2. Sinteza unui dispozitiv secvențial de împărțire binară a numerelor întregi prin metoda fără restaurare a restului
- 4.3. Structuri matriciale combinaționale pentru operația de împărțire binară cu uzitarea metodelor fără și cu

restaurare a restului

4.4. Împărțirea binară prin proceduri iterative

4.5. Împărțirea binară prin procedura Sweeney-Robertson-Tocher

4.6. Accelerarea operației de împărțire binară

### **C. SUBIECTELE APLICATIILOR (laborator, seminar, proiect)**

1. Reprezentarea informației în calculator. Adunarea binară în semn-mărime, complement de 1, complement de 2. Adunarea numerelor în BCD și Exces de 3. **(2 ore)**
2. Reprezentarea numerelor binare în virgulă flotantă în formatele IEEE 754 și IBM S 360/370. **(2 ore)**
3. Simularea în VHDL a unui sumator binar cu transport serial. **(2 ore)**
4. Simularea în VHDL a unui sumator-scăzător binar. **(2 ore)**
5. Simularea în VHDL a unui sumator Carry Lookahead. **(2 ore)**
6. Simularea în VHDL a unui sumator Carry Skip. **(2 ore)**
7. Simularea în VHDL a unui sumator Carry Select. **(2 ore)**
8. Simularea în VHDL a unui sumator BCD. **(2 ore)**
9. Simularea în VHDL a unui dispozitiv combinațional de înmulțire binară. **(2 ore)**
10. Simularea în VHDL a unei unități de control pentru înmulțirea binară prin metoda “paper and pencil”, sintetizată cu ajutorul tehnicii “delay element”. **(2 ore)**
11. Simularea în VHDL a unei unități de control pentru înmulțirea binară prin metoda “paper and pencil”, sintetizată cu ajutorul tehnicii “sequence counter”. **(2 ore)**
12. Simularea în VHDL a unei unități de control pentru înmulțirea binară prin algoritmul lui Booth, sintetizată cu ajutorul tehnicii “state table”. **(2 ore)**
13. Simularea în VHDL a unui dispozitiv matricial de împărțire binară. **(2 ore)**

### **D. BIBLIOGRAFIE**

1. David A. Patterson, John L. Hennessy: “Computer Architecture. A Quantitative Approach”, Morgan Kaufmann Publishers Inc., San Francisco, CA, 1990, 1996, 2003.
2. David A. Patterson, John L. Hennessy: “Computer Organization & Design. The Hardware/Software Interface”, Morgan Kaufmann Publishers Inc., San Francisco, CA, 1992, 1997.
3. Milos D. Ercegovac, Tomas Lang: “Digital Arithmetic”, Morgan Kaufmann Publishers Inc, San Francisco, CA, 2003.

### **E. PROCEDURA DE EVALUARE**

*Cursul se incheie cu doua examene, unul scris, altul oral, la sfârșitul semestrului. Fiecare etapa de examinare are o durata de 2 ore. Examenul scris verifica abilitatile studentilor de a rezolva si implementa doua probleme impuse, abilitati dezvoltate pe baza temelor de laborator. Examenul oral verifica abilitatile teoretice ale studentilor, pe baza unor subiecte tratate la curs (2-4 subiecte). În nota finală se iau în considerare rezultatele de la examenul scris (35%), la examenul oral (55%) si interactiunile din timpul orelor de curs (10%).*

### **F.COMPATIBILITATE INTERNATIONALA**

*University of California at Berkeley, CS 252 – Computer Architecture  
Princeton University, COS475 – Computer Architecture  
Stanford University, EE282 – Computer Architecture and Organization*

Data:

**DIRECTOR/SEF DEPARTAMENT/CATEDRA**

**TITULAR DE DISCIPLINĂ,**