

SYLLABUS
pentru disciplina:

“Organizarea calculatoarelor”

FACULTATEA: AUTOMATICA SI CALCULATOARE

DOMENIUL / SPECIALIZAREA: CALCULATOARE SI TEHNOLOGIA INFORMATIEI

Anul de studii: II

Semestrul 2

Titularul cursului: Prof.dr.ing. Mircea VLADUTIU
Colaboratori: S.I. Mihai UDRESCU, s.I. Lucian PRODAN, As. Versavia ANCUSA, Prep. Alexandru AMARICAI, Prep. Oana Boncalo

Numar de ore/saptamana/Verificarea/Credite					
Curs	Seminar	Laborator	Proiect	Examinare	Credite
2	-	2	1	E	5

A. OBIECTIVELE CURSULUI

Cursul se concentreaza asupra prezentarii unitatilor de structură componente ale unei unitati centrale de procesare (CPU). Se porneste de la descrierea instructiei si a ciclului instructie in contextul unui procesor non-pipeline (DLX). Tematica controlului executiei unei instructii si a unui program este abordata prin descrierea modalitatilor de implementare, atat in mod cablat, cit si in logica microprogramata. De asemenea, este prezentata structura sistemelor de intrare-iesire, precum si modalitatile de control prin care este asigurata functionarea acestora.

B. SUBIECTELE CURSULUI

Capitolul 1. Organizarea unei unitati centrale de procesare (CPU) (2 ore)

- 1.1. Ciclul instructiei
- 1.2. Caracteristicile arhitecturilor de seturi de instructii
- 1.3. Structura unității centrale de procesare

Capitolul 2. Arhitectura masinii DLX non-pipeline (8 ore)

- 2.1. Arhitectura DLX
- 2.2. Performanța la mașina DLX
- 2.2. Unitatea aritmetico-logica.
- 2.3. Setul de instructiuni.
- 2.4. Implementarea stivei si a mecanismului de intreruperi.
- 2.5. Mecanisme de adresare.

Capitolul 3. Sinteza unitatilor de control in logica cablata (6 ore)

- 3.1. Sinteza unitatilor de control in logica cablata dupa metoda state table.
- 3.2. Sinteza unitatilor de control in logica cablata dupa metoda sequence-counter.
- 3.3. Sinteza unitatilor de control in logica cablata dupa metoda one-hot.

Capitolul 3. Sinteza unitatilor de control in logica microprogramata (6 ore)

- 3.1. Proiectul lui Wilkes. Secventiatorul de microprogram.
- 3.2. Sinteza unitatilor de control in logica microprogramata.
- 3.3. Minimizarea dimensiunilor memoriei de control. Reducerea dimensiunii pe orizontala. Reducerea dimensiunii pe verticala.

Capitolul 4. Sisteme de intrare-iesire (6 ore)

- 4.1. Generalități. Clasificări
- 4.2. Intrarea-ieșirea programată
- 4.3. Sisteme de intrare-ieșire cu acces direct la memorie (DMA)
- 4.4. Sisteme de intrare-ieșire cu întreruperi
- 4.5. Selecția întreruperilor
- 4.6. Întreruperi vectorizate

C. SUBIECTELE APLICATIILOR (laborator, seminar, proiect)

1. Simularea în VHDL a proiectului lui Wilkes. (2 ore)
2. Exemplu de secvențiere a microinstrucțiilor simulat în VHDL. (2 ore)

3. Simularea în VHDL a unui registru pipeline de microinstrucții. **(2 ore)**
4. Sinteza și simularea unei mici unități de control microprogramat. **(2 ore)**
5. Sinteza și simularea în VHDL a unității de control microprogramat pentru un dispozitiv de înmulțire “paper and pencil”. **(2 ore)**
6. Sinteza și simularea în VHDL a unității de control microprogramat pentru un dispozitiv de înmulțire Robertson. **(2 ore)**
7. Sinteza și simularea în VHDL a unității de control microprogramat pentru un dispozitiv de înmulțire Booth modificat. **(2 ore)**
8. Sinteza și simularea în VHDL a unității de control microprogramat pentru un dispozitiv de împărțire cu restaurare a restului. **(2 ore)**
9. Sinteza prin “encoding by function” și simularea în VHDL a unității de control microprogramat pentru un dispozitiv de înmulțire Booth. **(2 ore)**
10. Simularea unei mici unități centrale de procesare pentru un calculator cu set restrâns de instrucții. **(2 ore)**
11. Sinteza și simularea unei unități exemplu de control nanoprogramat. **(2 ore)**
12. Simularea unui controler DMA exemplu. **(2 ore)**
13. Simularea unui circuit de arbitrare a întreruperilor. **(2 ore)**

D. BIBLIOGRAFIE

1. David A. Patterson, John L. Hennessy: “Computer Architecture. A Quantitative Approach”, Morgan Kaufmann Publishers Inc., San Francisco, CA, 1990, 1996, 2003.
2. David A. Patterson, John L. Hennessy: “Computer Organization & Design. The Hardware/Software Interface”, Morgan Kaufmann Publishers Inc., San Francisco, CA, 1992, 1997.
3. William Stallings: “Computer Organization and Architecture. Designing for Performance”, Prentice Hall International, 1996, 2000, 2003

E. PROCEDURA DE EVALUARE

Cursul se incheie cu doua examene, unul scris, altul oral, la sfârșitul semestrului. Fiecare etapa de examinare are o durată de 2 ore. Examenul scris verifică abilitățile studentilor de a rezolva și implementa două probleme impuse, abilități dezvoltate pe baza temelor de laborator. Examenul oral verifică abilitățile teoretice ale studentilor, pe baza unor subiecte tratate la curs (2-4 subiecte). În nota finală se iau în considerare rezultatele de la examenul scris (35%), la examenul oral (55%) și interacțiunile din timpul orelor de curs (10%).

F.COMPATIBILITATE INTERNACIONALA

*University of California at Berkeley, CS152 – Computer Architecture and Engineering
Princeton University, COS375 – Computer Architecture and Organization
Stanford University, EE273 – Digital Systems Engineering*

Data:

DIRECTOR/SEF DEPARTAMENT/CATEDRA

TITULAR DE DISCIPLINĂ,