

SYLLABUS
pentru disciplina:

“ PROIECTAREA CIRCUITELOR DIGITALE DEDICATE ”

FACULTATEA AUTOMATICĂ ȘI CALCULATOARE
DOMENIUL/SPECIALIZAREA INGINERIA SISTEMELOR

Anul de studii: II
Semestrul I

Titularul cursului: Prof.univ.dr.ing. Andreescu Gheorghe-Daniel					
Colaboratori: (Nume și prenume, titlul științific, grad didactic; departamentul de care aparține)	Ionică Tiberiu, Dan Ana-Maria	ingine r	asistent	Dept. Automatică și Informatică Aplicată	
	Schlezingher Cristian	ingine r	preparator	Dept. Automatică și Informatică Aplicată	
Număr de ore/săptămână / Verificarea / Credite					
Curs	Seminar	Laborator	Proiect	Examinare	Credite
2		1.5	0.5	E	4
Statul disciplinei	Fundamentală <input type="checkbox"/>	În domeniu X	De specialitate	Complementară <input type="checkbox"/>	
	Obligatorie: Impusă	X	Opțională <input type="checkbox"/>	Facultativă <input type="checkbox"/>	

A. OBIECTIVELE DISCIPLINEI

Principalele **obiective specifice**: Creare de deprinderi, competențe și concepte fundamentale de proiectare, simulare sinteza și implementare de circuite digitale dedicate utilizând VHDL; Creare de **cunoștințe, abilități, și competențe**: înțelegere principii de bază ale proiectării circuitelor digitale cu limbaje de descriere hardware (HDL); utilizare medii de proiectare funcțională ierarhizată HDL; integrare rapidă funcțiuni în circuite programabile FPGA, ASIC; Suport de implementare aplicații, proiecte pentru discipline din profilul AIA, proiecte de diplomă, disertații, doctorat. Curs bazat pe exemple disponibile în prealabil.

B. SUBIECTELE CURSULUI

Introducere: despre VHDL, utilitate, structura proiectării funcționale – 1h; **Structura**: library, entity, architecture – 1h; **Test bench**: simulare și testare funcțională – 1h; **Tip date**: predefinite, definite de utilizator, arii, conversii de format - 2h; **Operatori și atribute**, standard, definite de utilizator, overloading, generic -1h; **Cod concurrent**: comparație cod concurrent / secvențial: when, generate, block – 2h; **Cod secvențial**: process, signal, variable, if, wait, case, loop – comparații – 4h; **Proiectare circuite combinaționale** – 1h; **Automate**: evenimente, cloch, detecție fronturi, 3 template pentru proiectare – 4h; **Aplicații-exemple**: multiplexoare, decodificatoare, comparatoare, numărătoare, registre, convertor serie-paralel, recepție serie, afișare 7 segmente, generator de semnal, automate de vânzare, filtre digitale, regulatoare digitale – 7h. **Proiectare sisteme ierarhizate**: pachete și componente, port map, generic map – 3h; **Funcții și proceduri**, assert - 1h; **Probleme rezolvate și propuse** – 2h.

C. SUBIECTELE APLICATIILOR (laborator, seminar, proiect)

1) Utilizare medii HDL: Active VHDL, IDE Xilinx, proiectare, simulare, testare, implementare SPATAN 3 – 2h; 2) Procese, clock, detecție front, componente, test bench – 4h; 3) Multiplexoare decodificatoare, comparatoare – 2h; 4) Bistabile, registre, numărătoare – 2h; 5) Automate secvențiale (3 template) – 2h; 6) Generatoare de funcții – 2h; 7) Automate de vânzare; Controler de trafic intersecție – 4h; 9) Mini-proiecte pe grupe de 4 studenți cu șef proiect, cu susținere proiect – 8h, 8) Recuperări - 2h.

D. METODE DIDACTICE FOLOSITE

Curs – prelegeri conversaționale cu material didactic pe video-proiector, curs bazat pe exemple, bibliografie pe suport electronic.

Laborator – lucrări de laborator cu material pe suport electronic, simulări și experimentări, platforme VHDL, studii

de caz, mini-proiecte pe grupe de 4 studenți cu șef proiect.

E. PROCEDURA DE EVALUARE

Examen scris, 3 ore; Teorie: 10 întrebări scurte cu răspuns în 2-3 rânduri fiecare, 20 minute, 30% din Ex.; Aplicații: 3 probleme 2, 30 ore, 70% din Ex.; Examen: 60%, Laborator și mini-proiect 40%.

F. BIBLIOGRAFIE Se indică minimum trei titluri de referință, cel puțin unul poate fi găsit în biblioteca UPT.

1. V. A. Pedoni, *Circuit Design with VHDL*, MIT Press, Massachusetts, ISBN: 0262162245, 2004.
2. D.L. Perry, *VHDL Programming by Example*, 4th Ed., McGraw-Hill, ISBN: 0071400702, 2002.
3. S. Yalamanchili, *Introductory VHDL from Simulation to Synthesis: and Xilinx Student Edition 4.2i*, Prentice Hall, Englewood Cliffs, NJ, ISBN: 0131760610, 2003.
4. P. P. Chu, *FPGA Prototyping by VHDL Examples: Xilinx Spartan-3 Version*, John Wiley & Sons, ISBN: ISBN: 978-0470185315, 2008.
5. P. J. Ashenden, *Digital Design (VHDL): An Embedded Systems Approach Using VHDL*, Morgan Kaufmann, ISBN: 0123695287, 2007.

G. COMPATIBILITATE INTERNACIONALA

- 1) Carnegie Mellon University, USA, 18-341 – *Logic Design Using Simulation, Synthesis, and Verification Techniques*
- 2) Massachusetts Institute of Technology (MIT), USA, 6.111 *Introductory Digital Systems Laboratory*
- 3) University of California, Irvine, *Advanced VHDL Design and Modeling of Digital Systems course*
- 4) Johns Hopkins University, USA, 525.442 - *VHDL/FPGA Microprocessor Design Course*

Data: 30.03.2009

DIRECTOR DEPARTAMENT
Prof.univ.dr.ing. Ioan Silea

TITULAR DE DISCIPLINĂ,
Prof.univ.dr.ing. Gheorghe-Daniel Andreescu